

⑫ 公開特許公報(A) 平1-286612

⑤Int. Cl.⁴ 識別記号 庁内整理番号 ④公開 平成1年(1989)11月17日
 H 03 K 5/13 7631-5 J
 3/037 Z-8425-5 J
 5/00 Z-7631-5 J
 19/00 1 0 1 N-8326-5 J 審査請求 未請求 請求項の数 1 (全5頁)

⑬発明の名称 CMOS集積回路

②特 願 昭63-116224

②出 願 昭63(1988)5月13日

⑦発 明 者 池 田 浩 司 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑦発 明 者 宇 根 内 司 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑪出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑬代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

CMOS集積回路

特許請求の範囲

温度もしくは電源電圧の少なくとも一方を感知する感知回路と、該感知回路に接続され、制御信号を送出する制御回路と、該制御回路に接続され、機能ブロックを含む信号経路に挿入される可変遅延回路とを備え、前記感知回路の出力により前記制御回路を作動せしめ、前記可変遅延回路を制御するようにしたことを特徴とするCMOS集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明はCMOS集積回路に関し、特に遅延時間を制御し得るCMOS集積回路に関する。

〔従来の技術〕

従来、この種のCMOS集積回路は、温度、電源電圧の変動による遅延時間の変化を安定させるための方法が無いため第5図のような回路の場合には、バス1、バス2のそれぞれの遅延時間を計算をし、回路がいかなる状態の時でも安定動作するように検討し、もし回路が誤動作する恐れがある場合には、バス1又はバス2に遅延時間のばらつきに対して十分なマージンを考慮した第7図のような、遅延機能ブロック48を挿入していた。

第5図の回路においては第6図の動作タイミングに示すようにd点、e点における温度又は電源電圧の変動による機能ブロックの遅延時間 T_1 、 T_2 のばらつき範囲を表したものでd点又はe点の変化タイミングによっては回路が誤動をする。

又、第7図の回路はバス2に対しバス1は遅延時間のばらつきに対し十分な遅延ブロックを挿入したため、第8図の動作タイミングに示したように T_2 の遅延時間ばらつきの変化タイミングに左右されることなく常に安定した回路動作をする。更

に又、電源電圧の変動に対しては、定電圧回路の追加を行っていた。

(発明が解決しようとする課題)

従来のCMOS集積回路は、機能ブロックの遅延時間ばらつきに対し、回路が安定動作するかの検討をし、誤動作をする恐れのある回路には、十分なマージンを考慮した遅延ブロックを挿入しなければならないなど、回路設計が困難かつ複雑になるという欠点がある。

(課題を解決するための手段)

本発明のCMOS集積回路は、電源電圧もしくは温度の少なくともその一方を感知する感知回路と、感知回路の出力により制御信号を送出する制御回路と、機能ブロックを含む信号経路に挿入され、前記制御信号により遅延時間が制御される可変遅延回路とを備えている。

(実施例)

次に本発明について図面を参照して説明する。

第1図は、本発明の一実施例であるCMOS集積回路を示す。第1図において本発明の一実施例

は、電源電圧もしくは温度の少なくとも一方を感知する感知回路7と、この感知回路7の出力により、制御信号を送出する制御回路6と、機能ブロックを含む信号経路に挿入される可変遅延回路3、4と、信号経路上に設けられる2つのフリップフロップ1、5およびバッファ2とを有している。

フリップフロップ1は入力端子IN1、IN2から入力信号の供給を受け、バッファ2は入力端子IN2から入力信号の供給を受けるように接続されている。フリップフロップ1の出力端子Qは可変遅延回路3を介してフリップフロップ5のD端子に接続されている。バッファ2の出力は可変遅延回路4を介してフリップフロップ5のC端子に接続されている。感知回路7の出力は制御回路6に接続され、更に制御回路6は可変遅延回路3、4に接続されている。

第2図は、本実施例における遅延時間安定回路の詳細を示す。第2図において、温度変動を感知する感知回路7aは、Nチャンネルトランジスタ

8で構成されておりこの感知回路7aの出力に対し、可変遅延回路3を制御する制御回路6aは、感知回路7aの出力をHTインバータ9、LTインバータ10に接続し、HTインバータ9の出力をインバータ11に接続し、LTインバータ10の出力をインバータ12に接続して構成されている。

可変遅延回路3は、HTインバータ9の出力を、AND13、14、OR16に接続し、インバータ11の出力をAND15、OR17、18に接続し、LTインバータ10の出力をAND13、OR16、17に接続し、インバータ12の出力をAND14、15、OR18に接続し、コンプリメンタリトランジスタ42の入力はAND13、14、15、OR16、17、18の出力に接続し、入力端子IN3は、AND13、14、15、OR16、17、18に接続しコンプリメンタリトランジスタ42の出力は、インバータ51に接続して構成されている。

電源電圧変動を感知する感知回路7bは、Nチ

ャンネルトランジスタ25で構成されており、この感知回路7bの出力に対し、可変遅延回路4を制御する制御回路6bは、同様に感知回路7bの出力をHTインバータ26、LTインバータ27に接続し、HTインバータ26の出力をインバータ28に接続し、LTインバータ27の出力をインバータ29に接続し、入力端子IN3は、AND30、31、32、OR33、34、35に接続して構成されている。

可変遅延回路4は、HTインバータ26の出力をAND30、31、OR33に接続し、インバータ28の出力をAND32、OR34、35に接続し、LTインバータ27の出力をAND30、OR33、34に接続し、インバータ29の出力をAND31、32、OR35に接続し、コンプリメンタリトランジスタ43の入力は、AND30、31、32、OR33、34、35の出力に接続し、コンプリメンタリトランジスタ43の出力をインバータ51に接続して構成されている。

第3図、第4図は、第2図の動作を説明する温度及び電源電圧の変動に対する遅延時間の変動及びa、b点の電圧レベルを示す図である。

温度及び電源電圧が定常状態の時には制御回路6a、6bの出力状態として、HTインバータ9、26はハイレベル、LTインバータ10、27はロウレベルで、可変遅延回路3、4のコンプリメンタリトランジスタ42のPチャンネルトランジスタ20、Nチャンネルトランジスタ23及びコンプリメンタリトランジスタ43のPチャンネルトランジスタ37、Nチャンネルトランジスタ40は、入力信号待ちで、他のPチャンネルトランジスタ及びNチャンネルトランジスタはオン状態である。入力信号に、ロウレベルが入ると、AND14、31、Pチャンネルトランジスタ20、21、37、38、インバータ51を通り出力にロウレベルの信号が出力される。

温度上昇及び電源電圧上昇の時には第3図のa点及び第4図のb点の電圧レベルが上昇し、制御回路6a、6bの出力状態としてHTインバータ

9、26及びLTインバータ10、27は共にロウレベルとなり可変遅延回路のコンプリメンタリトランジスタ42のPチャンネルトランジスタ21、Nチャンネルトランジスタ22及びコンプリメンタリトランジスタ43のPチャンネルトランジスタ38、Nチャンネルトランジスタ39は、入力信号待ちで、他のPチャンネルトランジスタ及びNチャンネルトランジスタはオン状態である。入力信号にロウレベルが入るとAND15、32、Pチャンネルトランジスタ21、38、インバータ51を通り出力にロウレベルの信号が出力される。

次に温度降下及び電源電圧降下の時には第3図のa点及び第4図のb点の電圧レベルは降下し、制御回路の出力状態としてHTインバータ9、26及びLTインバータ10、27は共にハイレベルとなり、可変遅延回路のコンプリメンタリトランジスタ42のPチャンネルトランジスタ19、Nチャンネルトランジスタ24及びコンプリメンタリトランジスタ43のPチャンネルトランジスタ

36、Nチャンネルトランジスタ41は入力信号待ちで、他のPチャンネルトランジスタ及びNチャンネルトランジスタはオン状態である。入力信号にロウレベルが入るとAND13、30、Pチャンネルトランジスタ19、20、21、36、37、38、インバータ51を通り、出力にロウレベルの信号が出力される。

上述のように、温度又は電源電圧の変動に対応して、可変遅延回路の経路を変え、遅延時間を制御することにより、本目的である遅延時間のばらつきを小さくすることが達成できる。

〔発明の効果〕

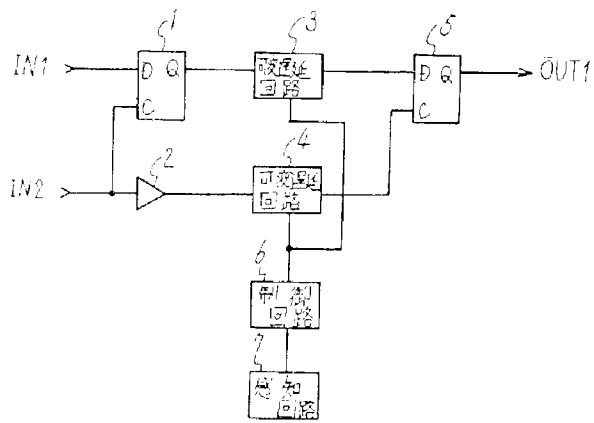
以上説明したように、本発明のCMOS集積回路は回路設計時に、遅延時間のばらつきに対するマージンを考慮することなく、回路設計が行え、又定電圧回路など他の回路を追加することなく、温度及び電源電圧の変動に対する遅延時間のばらつきを小さくすることができる効果がある。

図面の簡単な説明

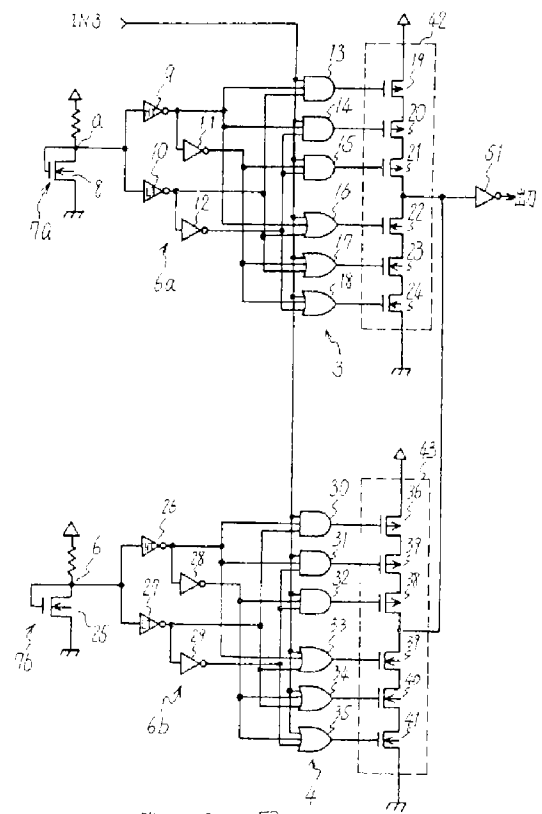
第1図は、本発明の一実施例を示す回路図、第2図は、遅延時間安定回路を示す図、第3図は温度変動に対する感知回路の電圧レベル・遅延時間の相対関係を示す図、第4図は、電源電圧変動に対する感知回路の電圧レベル・遅延時間の相対関係を示す図、第5図および第7図は従来技術の回路を示す図、第6図は、第5図における動作を示すタイミングチャート図、第8図は、第7図における動作を示すタイミングチャート図である。

1、5、44、46、47、49…フリップフロップ、2、45、60…バッファ、3、4…可変遅延回路、6(6a、6b)…制御回路、7(7a、7b)…感知回路、8、25…Nチャンネルトランジスタ、9、26…HTインバータ、10、27…LTインバータ、11、12、28、29、51…インバータ、13、14、15、30、31、32…AND、16、17、18、33、34、35…OR、42、43…コンプリメンタリトランジスタ、48…遅延回路。

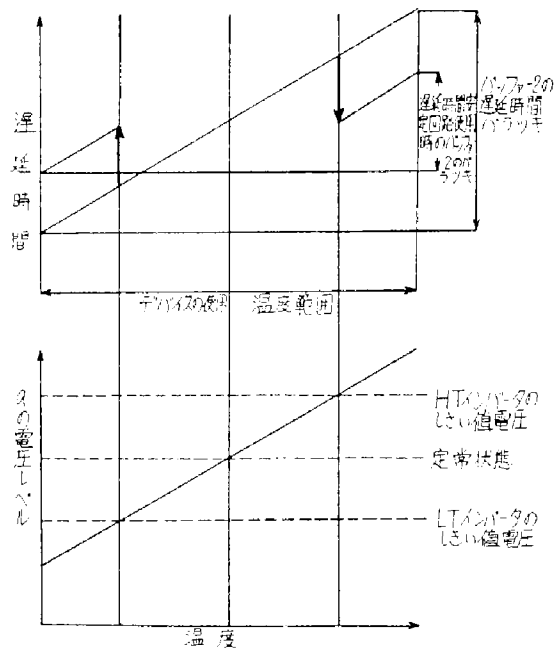
代理人 弁理士 内 原 晋



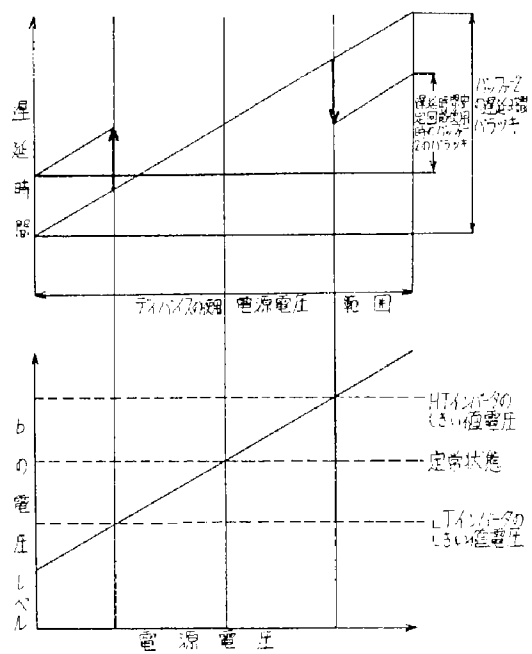
第 1 図



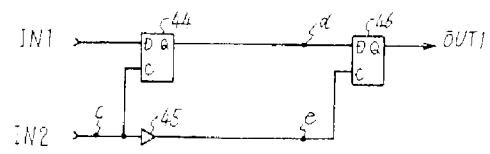
第 2 図



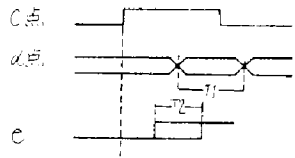
第 3 図



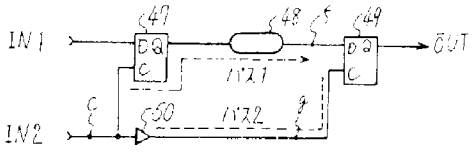
第 4 図



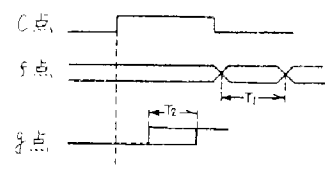
第 5 図



第 6 図



第 7 図



第 8 図